

(2)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-222392

(43)Date of publication of application : 12.08.1994

(51)Int.Cl.

G02F 1/136
H01L 29/784

(21)Application number : 05-031411

(71)Applicant : DAINIPPON PRINTING CO LTD

(22)Date of filing : 27.01.1993

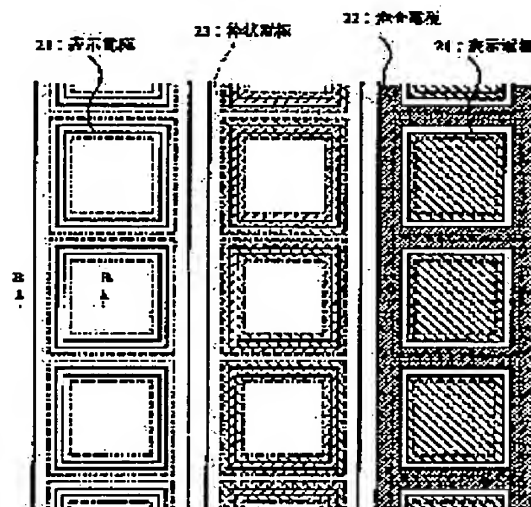
(72)Inventor : ARAKAWA FUMIHIRO

(54) ACTIVE MATRIX SUBSTRATE FOR DRIVING LIQUID CRYSTAL DISPLAY AND ITS PRODUCTION

(57)Abstract:

PURPOSE: To eliminate the dispersion of parasitic capacities among active elements without executing a mask alignment with high accuracy.

CONSTITUTION: Square display electrodes 21 for forming a pixel are vertically and horizontally. Ladder-shaped scanning electrodes 22 are arranged at each column. The scanning electrodes 22 have structures surrounding the display electrodes 21. The surfaces of the scanning electrodes 22 are covered with insulating films 24 not shown in figure. Frame-shaped electrodes 23(broken line) with picture frame shape are formed between the scanning electrodes 22 and the display electrodes 21. An outer peripheral part of the display electrode 21 and an inner peripheral part of the frame-shaped electrode 23 are superposed each other and an outer peripheral part of the frame-shaped electrode 23 and an inner peripheral part of the scanning electrode 22 are superposed each other. MIM element structure of metallic film/insulating film/metallic film is formed holding an insulating film between metallic films and is arranged as to surround the display electrode 21.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-222392

(43)公開日 平成6年(1994)8月12日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 29/784		9056-4M	H 0 1 L 29/ 78	3 1 1 A

審査請求 未請求 請求項の数 7 F D (全 10 頁)

(21)出願番号 特願平5-31411

(22)出願日 平成5年(1993)1月27日

(71)出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(72)発明者 荒川 文裕

東京都新宿区市谷加賀町一丁目1番1号

大日本印刷株式会社内

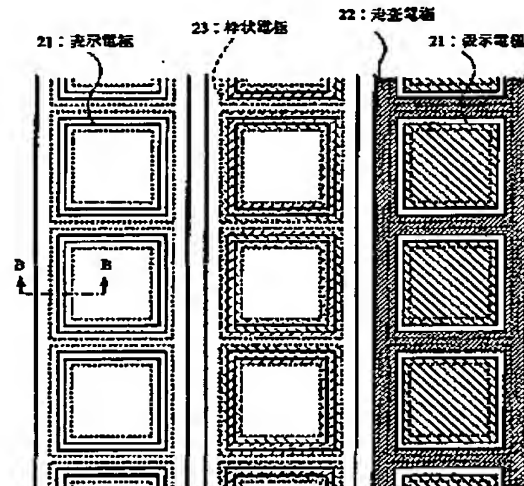
(74)代理人 弁理士 志村 浩

(54)【発明の名称】 液晶ディスプレイ駆動用のアクティブマトリックス基板およびその製造方法

(57)【要約】

【目的】 高精度なマスク合わせを行うことなしに、能動素子間での寄生容量のバラツキをなくす。

【構成】 1画素を形成するための正方形の表示電極21を縦横に配列する。各列ごとに梯子状の走査電極22が配置される。走査電極22は、表示電極21を取り囲む構造となる。走査電極22の表面は図示されていない絶縁膜24で覆われている。走査電極22と表示電極21との間に、額縁状をした枠状電極23(破線)が形成される。表示電極21の外周部分と枠状電極23の内周部分とは重なりを生じ、枠状電極23の外周部分と走査電極22の内周部分とは重なりを生じている。絶縁膜24を挟んで、金属膜/絶縁膜/金属膜なるMIM素子構造が形成され、表示電極21の周囲を取り囲むように配置されている。



(2)

特開平6-222392

1

2

【特許請求の範囲】

【請求項1】 1画素を形成するための表示電極を第1の方向に複数画素分だけ並べて列を構成し、この列を第2の方向に複数列分だけ並べて二次元画素配列を構成し、各列ごとに列の長手方向に伸びる走査電極を設け、この走査電極と各表示電極との間をそれぞれ能動素子によって接続し、前記二次元画素配列に対応する二次元画像を表示する液晶ディスプレイを駆動できるようにしたアクティブマトリックス基板において、前記能動素子を、各表示電極の周囲を取り囲むように配置したことを特徴とする液晶ディスプレイ駆動用のアクティブマトリックス基板。

【請求項2】 請求項1に記載のアクティブマトリックス基板において、各表示電極の輪郭に沿った形状をした枠状電極を設け、この枠状電極を取り囲むような形状に走査電極を形成し、前記表示電極の外周部分と前記枠状電極の内周部分とを積層させ、前記枠状電極の外周部分と前記走査電極の内周部分とを絶縁膜を介して積層させる構造としたことを特徴とする液晶ディスプレイ駆動用のアクティブマトリックス基板。

【請求項3】 請求項1に記載のアクティブマトリックス基板において、各表示電極を取り囲むような形状に走査電極を形成し、前記表示電極の外周部分と前記走査電極の内周部分とを絶縁膜を介して積層させる構造としたことを特徴とする液晶ディスプレイ駆動用のアクティブマトリックス基板。

【請求項4】 請求項1～3のいずれかに記載のアクティブマトリックス基板において、表示電極の形状が正多角形であることを特徴とする液晶ディスプレイ駆動用のアクティブマトリックス基板。

【請求項5】 請求項1～3のいずれかに記載のアクティブマトリックス基板において、表示電極の形状が円であることを特徴とする液晶ディスプレイ駆動用のアクティブマトリックス基板。

【請求項6】 請求項3に記載のアクティブマトリックス基板を製造する方法において、走査電極を形成し、その表面に絶縁膜を形成し、基板全面にレジスト層を塗布した後、基板下面側から前記走査電極をマスクとしたバック露光を行って現像することにより、前記走査電極の上方部分のみレジスト層を残し、基板全面に金属層を形成した後、リフトオフにより前記レジスト層およびその上の金属層を剝離除去し、残った金属層のうち前記走査電極によって囲まれた閉領域の外側に形成された部分を電解エッチングにより除去し、前記閉領域の内側に形成された部分を表示電極として残すことを特徴とするアクティブマトリックス基板の製造方法。

【請求項7】 請求項6に記載の製造方法において、走査電極の表面を陽極酸化することにより絶縁膜を形成することを特徴とするアクティブマトリックス基板の製造

方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はアクティブマトリックス基板、特に、液晶ディスプレイ駆動用のアクティブマトリックス基板およびその製造方法に関する。

【0002】

【従来の技術】 省電力型のディスプレイとして、液晶ディスプレイは広範囲な用途に利用されている。一般的に用いられている液晶ディスプレイは、透光性の2枚の基板を対向して配置し、その一方のアクティブマトリックス基板によって駆動される。このアクティブマトリックス基板は、ガラスなどのベース基板の上に、1画素を形成するための表示電極を縦横に並べたものである。互いに対向するように配置した両基板間に液晶を充填すれば、対向する表示電極に印加する電圧によって、各画素単位で液晶の光学的特性を制御することができる。各表示電極への印加電圧を制御するために、各列ごとに走査電極が設けられている。同じ列上の表示電極への印加電圧は、同一の走査電極によって制御される。一方の基板の走査電極がたとえばX軸方向に配されていた場合、信号電極はこれに直交するY軸方向に配される。

【0003】 走査電極と表示電極との間には、1つまたは複数の能動素子が形成されており、この能動素子をON/OFF動作させることにより、各表示電極への印加電圧を制御することができる。こうして、各画素ごとに液晶の光学的特性を制御する。能動素子としては、トランジスタ素子またはダイオード素子が用いられており、ダイオード素子としては、MIM (metal insulator metal) 素子が代表的に用いられている。これらのアクティブマトリックス基板は、一般に、最低でも2枚以上のマスクを用いて成膜とパターニングを複数回繰り返すことにより製造されている。

【0004】

【発明が解決しようとする課題】 上述したように、アクティブマトリックス基板には、能動素子としてトランジスタ素子またはダイオード素子が用いられているが、いずれの素子も絶縁膜が金属膜にサンドイッチされた構造をもつ。このため、これらの能動素子は、容量素子としての性質も有し、いわゆる寄生容量が発生することになる。このような寄生容量は、能動素子がON動作したときに実際に液晶に印加される実効電圧を減少させてしまう原因となるため、できるだけ抑制するのが好ましい。寄生容量を抑制するためには、金属膜/絶縁膜/金属膜という積層構造部分の面積を小さくする必要がある。ところが、この積層構造部分の面積を小さくすると、製造工程時におけるマスク合わせ誤差や塵埃の付着などの影響を大きく受けるようになり、各能動素子ごとの寄生容量値にバラツキが生じやすくなり、マスクパターンが大きすぎたような場合には、断線するという事態も生じ

(3)

特開平6-222392

3

かねない。各能動素子によって寄生容量値にバラツキが生じると、各画素ごとの表示濃度に差が生じ、表示品質の劣化が避けられなくなる。特に、ダイオード素子を用いた液晶ディスプレイでは、トランジスタ素子を用いた液晶ディスプレイに比べて、寄生容量のバラツキに起因する表示品質の劣化が顕著である。製造工程時におけるマスク合わせの精度を向上させるという解決法もあるが、このような高精度のマスク合わせを行うためのアライナー装置は、非常に高価であり、また作業時間も長くなるため、コストが高くなるという別な問題が生じることになる。

【0005】そこで本発明は、高精度なマスク合わせを行うことなしに、能動素子間での寄生容量のバラツキをなくすることができるアクティブマトリックス基板を提供することを目的とする。また、このようなアクティブマトリックス基板を、1枚のマスクのみを用いて製造する方法を提供することを目的とする。

【0006】

【課題を解決するための手段】

(1) 本願第1の発明は、1画素を形成するための表示電極を第1の方向に複数画素分だけ並べて列を構成し、この列を第2の方向に複数列分だけ並べて二次元画素配列を構成し、各列ごとに列の長手方向に伸びる走査電極を設け、この走査電極と各表示電極との間をそれぞれ能動素子によって接続し、二次元画素配列に対応する二次元画像を表示する液晶ディスプレイを駆動できるようにしたアクティブマトリックス基板において、能動素子を、各表示電極の周囲を取り囲むように配置したものである。

【0007】(2) 本願第2の発明は、上述の第1の発明に係るアクティブマトリックス基板において、各表示電極の輪郭に沿った形状をした枠状電極を設け、この枠状電極を取り囲むような形状に走査電極を形成し、表示電極の外周部分と枠状電極の内周部分とを積層させ、枠状電極の外周部分と走査電極の内周部分とを絶縁膜を介して積層させる構造としたものである。

【0008】(3) 本願第3の発明は、上述の第1の発明に係るアクティブマトリックス基板において、各表示電極を取り囲むような形状に走査電極を形成し、表示電極の外周部分と走査電極の内周部分とを絶縁膜を介して積層させる構造としたものである。

【0009】(4) 本願第4の発明は、上述の第1～第3のいずれかの発明に係るアクティブマトリックス基板において、表示電極の形状を正多角形にしたものである。

【0010】(5) 本願第5の発明は、上述の第1～第3のいずれかの発明に係るアクティブマトリックス基板において、表示電極の形状を円にしたものである。

【0011】(6) 本願第6の発明は、上述の第3の発明に係るアクティブマトリックス基板を製造する方法に

4

おいて、走査電極を形成し、その表面に絶縁膜を形成し、基板全面にレジスト層を塗布した後、基板下面側から走査電極をマスクとしたバック露光を行って現像することにより、走査電極の上方部分のみレジスト層を残し、基板全面に金属層を形成した後、リフトオフによりレジスト層およびその上の金属層を剝離除去し、残った金属層のうち走査電極によって囲まれた閉領域の外側に形成された部分を電解エッチングにより除去し、閉領域の内側に形成された部分を表示電極として残すようにしたものである。

【0012】(7) 本願第7の発明は、上述の第6の発明による製造方法において、走査電極の表面を陽極酸化することにより絶縁膜を形成するようにしたものである。

【0013】

【作用】能動素子を各表示電極の周囲を取り囲むように配置しておけば、1つの能動素子全体の寄生容量は一定となり、能動素子間での寄生容量のバラツキをなくすることができる。すなわち、金属膜/絶縁膜/金属膜という積層構造が、各表示電極の輪郭部分全面にわたって形成されるため、マスク合わせ誤差によりパターンがずれた結果、金属膜/絶縁膜/金属膜という積層構造部分の面積が一方で減少（または増加）したとしても、その分だけ他方では増加（または減少）するような相補的な変化が生じるようになり、1つの能動素子全体としての寄生容量は一定に保たれるようになる。このため、複数の能動素子間での寄生容量のバラツキは解消される。また、表示電極の周囲を取り囲むように能動素子を形成することにより、塵埃の付着などによる導電不良などの事故を防ぐための冗長性が高まり、歩留まりの向上も期待できる。更に、表示電極の形状を正多角形あるいは円にすることにより、どの方向にずれが生じて、寄生容量を一定に保つことができるようになる。

【0014】また、本発明による製造方法では、バック露光、リフトオフ、電解エッチング、という工程を行うようにしたため、1枚のマスク板のみを用いてアクティブマトリックス基板を製造することが可能になる。このため、寄生容量のバラツキがないアクティブマトリックス基板を低コストで製造できるようになる。

【0015】なお、表示電極の周囲全面にわたって能動素子を配置すると、表示電極の開口部分の面積が減少し、開口率が低下するようにも思われるが、実際には、開口率の低下といった問題は生じない。なぜなら、従来は、マスク合わせ誤差によるパターンずれを考慮して、5μmほどの寸法余裕を積層構造部分に見込んでおく必要があったが、本発明による構造では、このような寸法余裕が不要になるため、積層構造部分を必要最小限の面積に抑えることができる。このため、周囲を取り囲んだ能動素子の全長は長くなるが、その幅は必要最小限に抑えることができ、従来装置とはほぼ同程度の開口率を確保

(4)

特開平6-222392

5

することが可能である。このように、本発明では、マスク合わせ誤差によるパターンずれが生じても問題ないため、作業効率の高い安価なライナーを用いた製造、もしくはライナーが必要ないプロセスによる製造が可能になり、製造コストの低減を図ることができる。

【0016】

【実施例】以下、本発明を図示する実施例に基づいて説明する。図1は、従来一般的なアクティブマトリクス基板の一部分を示す上面図である。ほぼ正方形の表示電極11が縦横に配列されており、1つの表示電極11が1つの画素に対応することになる。これら表示電極11に電圧を印加するための信号線として、走査電極12が設けられている。各走査電極12は、図の縦方向に並んだ列ごとに設けられている。さらに、走査電極12と表示電極11とを接続するために上部電極13が設けられる。なお、上部電極13は、走査電極12に直接接触しているのではなく、後述するように、絶縁膜14を介して接触しているが、図1の上面図では、図が煩雑になるのを避けるため、絶縁膜14の表示を省略している。

【0017】図2は、図1のアクティブマトリクス基板を、切断線A-Aに沿って切った状態を示す断面図であり、各部の構造がより明瞭に示されている。すなわち、ベース基板10の上面に、表示電極11および走査電極12が形成されており、走査電極12の表面は絶縁膜14によって覆われており、その上に上部電極13が形成されている。上部電極13は、走査電極12に対しては、その上方に形成されているが、表示電極11に対しては潜り込むような構造となっている。こうして、絶縁膜14を挟んで、金属膜/絶縁膜/金属膜というMIM素子が形成されており、この素子はダイオード素子として機能する。このMIM素子の積層構造は、そのまま容量素子を形成する構造であるため、寄生容量が発生することは既に述べたとおりである。そして、それぞれの膜をパターンニングする工程において、マスク合わせ誤差があるため、積層構造部分の面積が各素子ごとにバラツキを生じ、寄生容量が各素子ごとにバラツキを生じることも前述したとおりである。特に、図1に示すような構造をもったアクティブマトリクス基板では、平面内におけるわじれ方向（いわゆるθ方向）のマスク合わせ誤差により、寄生容量にかなりのバラツキがみられる。

【0018】本発明は、このような問題を解決するためになされたものである。本発明の一実施例に係るアクティブマトリクス基板の平面図を図3に、この基板を図3における切断線B-Bに沿って切った状態の断面図を図4に、それぞれ示す。なお、図3の平面図は、各構成要素の輪郭線を実線または破線で示したものであり、上方から見たときに実際に見える線であるか隠れ線であるかを実線または破線で区別したのではない。図3において、表示電極21は正方形の電極であり、走査電極

6

22は、この表示電極21を囲むような形状をした電極である。これらの電極の形状が認識しやすいように、右側の列では、これら表示電極21および走査電極22にハッチングを施して示してある。図1に示す従来基板における走査電極12がほぼ梯状をしていたのに対し、図3に示す本願基板における走査電極22はいわば梯子状をしていることになる。

【0019】図1に示す基板で用いられていた上部電極13の代わりに、図3に示す基板では、枠状電極23を用いている。図では、この枠状電極23を破線で示しており、特に、中央の列では、この枠状電極23の形状が認識しやすいようにハッチングを施して示してある。この枠状電極23は、正方形の表示電極21の外周部を縁取りするようないわば「罫線」の形状をしている。しかも、表示電極21の外周部分と枠状電極23の内周部分とが重なりを生じ、枠状電極23の外周部分と走査電極22の内周部分とが重なりを生じるような構造となっている。この構造は、図4の断面図に明瞭に示されている。すなわち、ベース基板20の上面に、表示電極21および走査電極22が形成されており、走査電極22の表面は絶縁膜24によって覆われている。なお、図3の平面図では、この絶縁膜24は省略している。枠状電極23は、走査電極22に対しては、その上方に形成されているが、表示電極21に対しては潜り込むような構造となっている。

【0020】このようにして、絶縁膜24を挟んで、金属膜/絶縁膜/金属膜というMIM素子が形成されており、この素子はダイオード素子として機能する。このMIM素子の積層構造には、やはり寄生容量が発生するが、それぞれの膜をパターンニングする工程において、マスク合わせ誤差があったとしても、寄生容量にバラツキが生じることはない。これは、図3の平面図に示されているように、このMIM素子が、表示電極21の周囲を取り囲むように形成されているためである。すなわち、それぞれの膜についてパターンずれが生じることにより、金属膜/絶縁膜/金属膜という積層構造部分の面積が一部分で減少したとしても、これを補うだけの面積の増加が別な一部分で必ず生じるため、1つのMIM素子についての積層構造部分の全面積には変化は生じないのである。たとえば、図4において、枠状電極23の位置がΔdだけ図の右方にずれていた場合を考えよう。この場合、枠状電極23/絶縁膜24/走査電極22からなる積層構造部分の面積は減少するが、図4には示されていない右方部分においても同じ積層構造部分が存在し、この部分においても枠状電極23の位置がΔdだけ図の右方にずれていることになる。したがって、この部分の面積は逆に増加することになり、全体としてみれば、積層構造部分の面積に変化は生じない。

【0021】以下、図3および図4に示すような構造をもったアクティブマトリクス基板の具体的な製造工程

(5)

特開平6-222392

7

の一例を示しておく。まず、たとえば、ホウ珪酸ガラスからなるベース基板20の上に、膜厚0.2 μ m程度のTa膜をスパッタリング法により形成する。続いて、このベース基板20上の全面にレジストを塗布し、走査電極22のパターンをもった所定のマスクを用いて露光および現像を行い、 CF_4 、 O_2 などの混合ガスのプラズマ雰囲気中でドライエッチングを行う。こうして、Taからなる走査電極22が形成できる。次に、レジストを剥離した後、このTaからなる走査電極22の表面を、0.01重量%のクエン酸溶液中で陽極酸化を行い、0.05 μ m程度の膜厚の陽極酸化膜を形成し、これを絶縁膜24とする。続いて、スパッタリング法により、基板全面にCr膜を0.1 μ m程度の厚みで堆積し、レジストを用いたパターンニング（このときのエッチングは、たとえば、硝酸第2セリウムアンモニウムと過塩素酸の混合溶液を用いればよい）を行い、Crからなる枠状電極23を形成する。そして、レジストを剥離した後、透明電極となるITOをスパッタリング法により全面に堆積し、この上に再びレジストを塗布し、所定のパターンでの露光を行い、 $HCl:H_2O:HNO_3=1:1:0.04$ なる比率で混合した溶液でエッチングを行えば、ITOからなる表示電極21が得られる。最後にレジストを剥離すれば、図3および図4に示すアクティブマトリクス基板が完成する。

【0022】続いて、本発明の別な実施例をいくつか挙げておく。図5は、円形の表示電極31を用いた実施例であり、走査電極32は細長い板に円形の窓を開いたような形状をしている。また、図に破線で示す枠状電極33は、ドーナツ状をしたものとなる。なお、走査電極32の表面には絶縁膜34が形成されているが、ここでは図示を省略している。このように、表示電極の形状は、正方形に限らずどのような形状にしてもかまわない。ただし、どのような方向にずれが生じても、寄生容量を一定に保つためには、図5のような円形が最も好ましい。ただ、円形の場合には、正方形に比べて有効な開口面積率が低下するという欠点がある。したがって、開口面積率を向上させるためには、表示電極を正多角形、特に正六角形にするのが好ましい。

【0023】図3に示す画素配列は、いわゆるストライプ配列と呼ばれているものであるが、本発明は、いわゆるデルタ配列と呼ばれている画素配列にも適用可能である。図3のストライプ配列をデルタ配列になおした実施例を図6に示す。このデルタ配列では、1列おきに、画素配置（すなわち、表示電極21の配置）が半ピッチだけずれた状態となる。このようなデルタ配列を行う場合には、対向する2枚の基板において、走査電極の形状を異ならせる必要がある。たとえば、一方の基板においては、図7に示すような形状の走査電極22Y（縦方向に伸びている）を用いた場合には、他方の基板においては、図8に示すような形状の信号電極22X（横方向に

8

伸びている）を用いる必要がある。

【0024】以上の実施例は、透過型のアクティブマトリクス基板であるが、反射型のアクティブマトリクス基板では、表示電極として透明電極を使う必要がないため、枠状電極を用いない構造とすることが可能である。このような反射型のアクティブマトリクス基板に本発明を適用した実施例の平面図を図9に示し、この基板を切断線C-Cに沿って切った断面図を図10に示す。図9において、表示電極41は二点鎖線で示されており、走査電極42は実線で示されている。この実施例では、表示電極41はCrからなる。なお、走査電極42の表面に形成されている絶縁膜44は、図9では図示を省略している。図9に示すように、表示電極41は正方形状をしており、走査電極42は梯子形状をしている。そして、表示電極41の外周部分と走査電極42の内周部分とが重なりを生じている。この構造は、図10の断面図に明瞭に示されている。すなわち、ベース基板40の上に、走査電極42が形成され、その表面は絶縁膜44に覆われている。表示電極41の外周部分は、この絶縁膜44の上面に積層された構造となっている。このような構造においても、MIM素子が表示電極41の周囲を囲むように配置されており、パターンのずれが生じたとしても寄生容量は一定に保たれる。

【0025】最後に、図9および図10に示す反射型のアクティブマトリクス基板の製造方法の一例を以下に示す。たとえば、ホウ珪酸ガラスからなるベース基板40の上に、スパッタリング法により膜厚0.2 μ m程度のTa膜を形成する。そして、この基板全面にレジストを塗布し、走査電極42に対応する所定のパターン（図9に実線で示すパターン：以下、梯子型パターンと呼ぶ）をもったマスクを用いて露光を行った後、このレジストを現像する。続いて、 CF_4 、 O_2 などの混合ガスのプラズマ雰囲気中でドライエッチングを行い、梯子型パターンからなるTa層45を形成し、レジストを剥離除去する。図11(a)は、この段階の側断面図（図9における切断線C-Cの断面に対応する部分）である。次に、このTa層45の表面を、0.01重量%のクエン酸溶液中で陽極酸化し、厚み0.05 μ m程度の陽極酸化膜を形成する。この結果、図11(b)に示すように、陽極酸化を受けなかったTa層部分を走査電極42とし、陽極酸化膜部分を絶縁膜44とすることができる。続いて、スパッタリング法により、図11(c)に示すように、基板全面に厚み0.1 μ m程度のCr層46を堆積する。そして、その上にレジストを塗布し、表示電極41に対応する所定のパターン（図9に二点鎖線で示すパターン）をもったマスクを用いて露光を行った後、このレジストを現像する。続いて、硝酸第2セリウムアンモニウムと過塩素酸との混合溶液などを用いたエッチングを行い、Crからなる表示電極41を形成し、レジストを剥離除去する。こうして、図10に示すような断面

(6)

特開平6-222392

9

10

構造をもった反射型のアクティブマトリックス基板を形成することができる。

【0026】上述した製造方法では、2枚のマスク板が必要になる。すなわち、走査電極42を形成するための梯子型パターンをもった第1のマスク板と、表示電極41を形成するためのパターンをもった第2のマスク板と、である。しかしながら、マスク板を用いる工程は精密な位置合わせが必要になるため、できるだけ減らした方が好ましい。そこで、梯子型パターンをもった第1のマスク板だけを用いた方法を以下に述べる。まず、この第1のマスク板を用いた工程により、図11(a)に示すようなTa層45を形成し、その表面を陽極酸化して、図11(b)に示すように、走査電極42と絶縁膜44とを形成する。ここまでは、前述の工程と同じである。このあと、図12(a)に示すように、基板全面にレジスト層47を塗布する。そして、図12(b)の矢印に示すように、ベース基板40の下面側からのバック露光を行う。すると、遮光性をもったTaからなる走査電極42のみがマスクとして作用し、レジスト層47のうち、走査電極42の上部(梯子型パターンの部分)は露光せずに残り、それ以外の部分は露光層48となる。したがって、このレジストを現像すれば、図12(c)に示すように、露光層48は除去され、走査電極42の上部のみにレジスト層47が残った状態となる。

【0027】ここで、スパッタリング法により、図13(a)に示すように、基板全面に厚み0.1μm程度のCr層46を堆積する。そして、リフトオフによって、レジスト層47を剥離する。このリフトオフにより、レジスト層47の上部に形成されていたCr層46がレジスト層47とともに除去される。別言すれば、基板全面に形成されたCr層46のうち、梯子型パターンの部分が剥離除去されることになる。その結果、図13(b)に示すように、Cr層46は、梯子型パターンの内側に相当する内側Cr層46aと、外側に相当する外側Cr層46bと、に分断されることになる(これは、図9の切断線C-Cにおける切断面が図13(b)に対応することを考えれば、容易に理解できよう)。

【0028】続いて、外側Cr層46bだけを除去することができれば、図13(c)に示すように、残った内側Cr層46aを表示電極41とすることができ、所望のアクティブマトリックス基板が形成できる。この外側Cr層46bの除去は、次のような電解エッチングにより、特別なマスク板を用いることなく行うことができる。すなわち、図13(b)に示す状態の基板を、10重量%のシュウ酸溶液中に浸し、この溶液中に設けた参照電極(たとえば、ステンレス電極)と外側Cr層46bとの間に電圧を印加して電解エッチングを行えばよい。より具体的には、参照電極をマイナス電極、外側Cr層46bをプラス電極とし、両電極間に6V程度の電圧を印加し、2～5秒程度電界エッチングを行うことによ

り、外側Cr層46bのみを除去することができた。内側Cr層46aは、絶縁膜44によって周囲を囲まれているために電界エッチングの対象とならず、エッチングされずに残って表示電極41となる。以上の製造方法によれば、用いるマスク板は1枚だけですみ、マスク合わせの作業負担が軽減される。

【0029】以上の工程は、反射型のアクティブマトリックス基板の製造方法の一例であるが、同様の工程を透過型のアクティブマトリックス基板の製造方法に適用することも可能である。透過型の場合には、Cr層46を形成する代わりに、Cr膜とITO膜とからなる二重層を形成すればよい。すなわち、図13(a)に示す構造を得るときに、同一チャンバ内で連続的なスパッタリングを行い、まずCr膜を形成し、その上にITO膜を形成すればよい。このとき、Cr膜が厚くなると光の透過率が低下し、明るい表示を行うことができなくなるので、Cr膜の膜厚を0.005μm以下に抑えるのが好ましい。

【0030】以上、本発明を図示するいくつかの実施例に基づいて説明したが、本発明はこれらの実施例のみに限定されるものではなく、この他にも種々の態様で実施可能である。特に、表示電極の形状、走査電極の形状は、設計上適宜変更しうるものである。また、上述の実施例では、1つの表示電極の周囲を取り囲むような形状をもった単一の能動素子を形成しているが、たとえば図1に示すような従来の形状をもった能動素子を複数用意し、これら複数の能動素子を1つの表示電極の周囲に配置するようにしてもよい。

【0031】

【発明の効果】以上のとおり本発明に係るアクティブマトリックス基板によれば、能動素子を各表示電極の周囲を取り囲むように配置したため、高精度なマスク合わせを行うことなしに、能動素子間での寄生容量のバラツキをなくすることができるようになる。また、本発明に係る製造方法によれば、寄生容量のバラツキがないアクティブマトリックス基板を低コストで製造できるようになる。

【図面の簡単な説明】

【図1】従来の一般的なアクティブマトリックス基板の一部分を示す上面図である。

【図2】図1に示す基板を切断線A-Aに沿って切った断面図である。

【図3】本発明の一実施例に係る透過型アクティブマトリックス基板の一部分を示す上面図である。

【図4】図3に示す基板を切断線B-Bに沿って切った断面図である。

【図5】本発明の別な一実施例に係る透過型アクティブマトリックス基板の一部分を示す上面図である。

【図6】本発明の更に別な一実施例に係る透過型アクティブマトリックス基板の一部分を示す上面図である。

(7)

特開平6-222392

11

12

【図7】図6に示す基板における走査電極の形状を示す平面図である。

【図8】図6に示す基板に対向させるべき別な基板における走査電極の形状を示す平面図である。

【図9】本発明の一実施例に係る反射型アクティブマトリクス基板の一部分を示す平面図である。

【図10】図9に示す基板を切断線C-Cに沿って切った断面図である。

【図11】図9および図10に示す反射型アクティブマトリクス基板の第1の製造方法を示す側断面図である。

【図12】図9および図10に示す反射型アクティブマトリクス基板の第2の製造方法の前段階を示す側断面図である。

【図13】図9および図10に示す反射型アクティブマトリクス基板の第2の製造方法の後段階を示す側断面図である。

【符号の説明】

10…ベース基板

11…表示電極

12…走査電極

13…上部電極

* 14…絶縁膜

20…ベース基板

21…表示電極

22、22X、22Y…走査電極または信号電極

23…枠状電極

24…絶縁膜

30…ベース基板

31…表示電極

32…走査電極

33…枠状電極

34…絶縁膜

40…ベース基板

41…表示電極

42…走査電極

44…絶縁膜

45…Ta層

46…Cr層

46a…内側Cr層

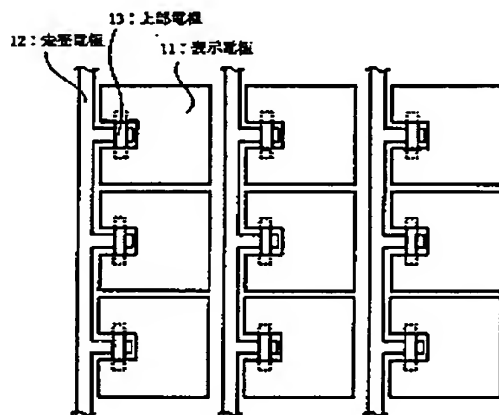
46b…外側Cr層

20 47…レジスト層

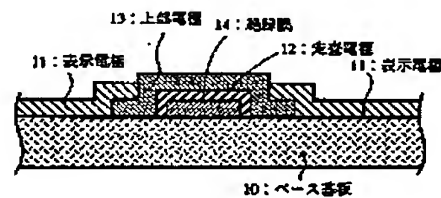
48…露光層

*

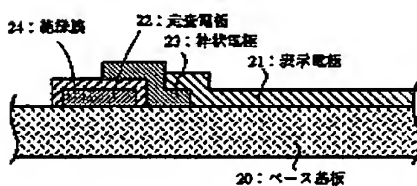
【図1】



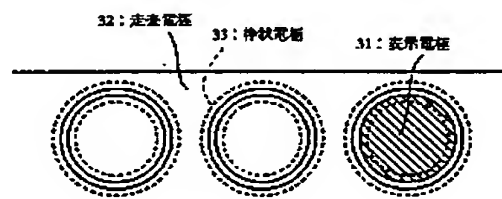
【図2】



【図4】



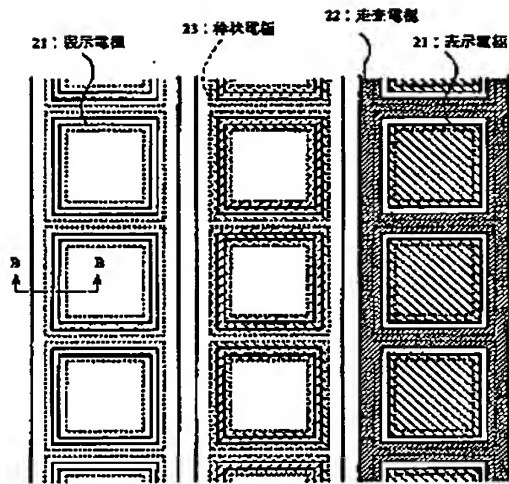
【図5】



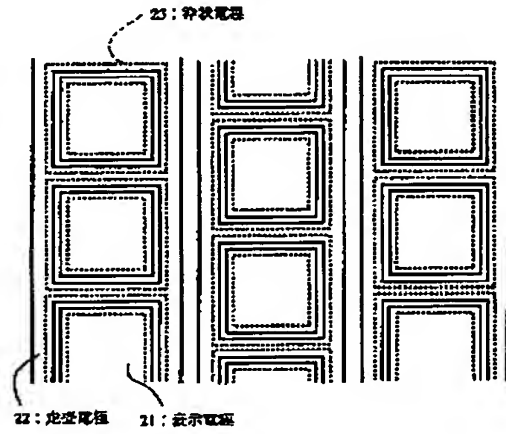
(8)

特開平6-222392

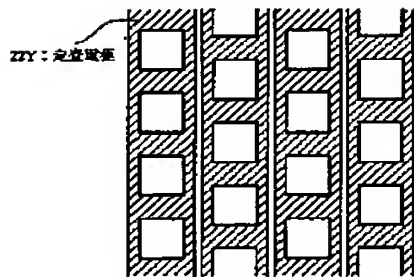
【図3】



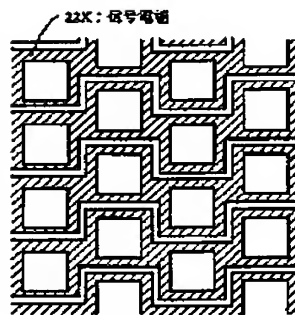
【図6】



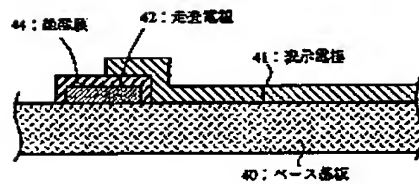
【図7】



【図8】



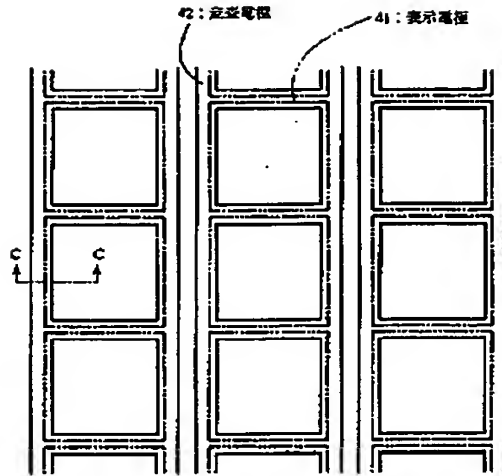
【図10】



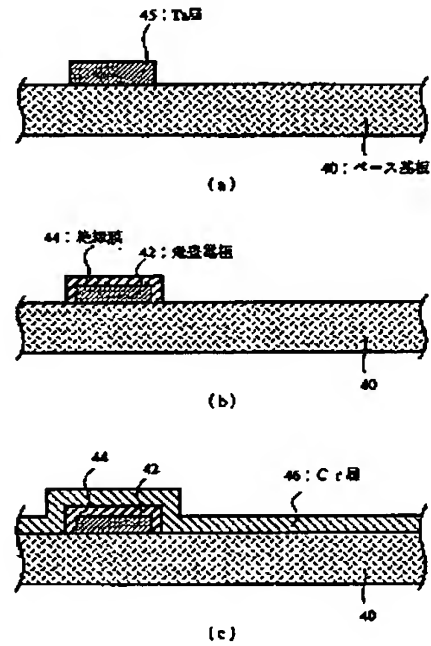
(9)

特開平6-222392

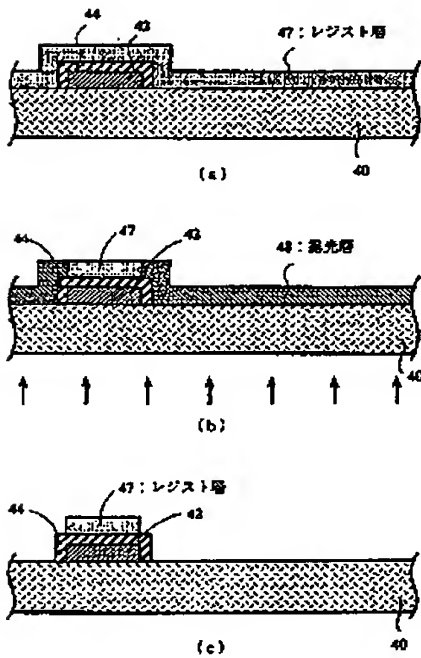
【図9】



【図11】



【図12】



(10)

特開平6-222392

【図13】

